

(D7)

SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP61294688
Publication date: 1986-12-25
Inventor(s): IWAI HIDETOSHI; others: 01
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP61294688
Application Number: JP19850134004 19850621
Priority Number(s):
IPC Classification: G11C11/34
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain many functions by outputting a data signal consisting of plural bits which are read out in parallel on serial basis according to the shifting operation of a shift register which is varied in the number of bits by a master slice system or a two-dimensional shift register which is changed in shift direction selectively.

CONSTITUTION: A dynamic RAM consists of plural memory blocks MB1-MB4, which have the same structure, so only one block is described here. Namely, a memory array MARY consisting of dynamic memory cell type MCs arranged in one block in a matrix is provided and MOSFETs for address selection and capacitors for holding information are connected to complementary data lines and word lines connected to the memory array. Further, sense amplifiers are connected to the array MARY and MOSFET elements Q7 and Q8 are interposed as column switches between the complementary data lines and a common data line. Further, word lines are selected by an X address decoder XDCR and data lines are selected by a Y address decoder YDCR respectively.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭61-294688

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)12月25日

G 11 C 11/34

1 0 1

8522-5B

審査請求 未請求 発明の数 2 (全8頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭60-134004

⑯ 出 願 昭60(1985)6月21日

⑰ 発 明 者 岩 井 秀 俊 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑱ 発 明 者 宮 沢 一 幸 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1. 複数個に分割され、共通のアドレス信号により選択されるメモリアレイと、分割された各メモリアレイからの複数個の読み出し信号を時系列的に形成された選択信号に従ってシリアルに出力する出力回路と、所定のタイミング信号に従ってシフト動作を行い上記時系列的な選択信号を形成するシフトレジスタとを含み、上記シフトレジスタを構成するフリップフロップ回路を結合させる信号伝達線とその出力機能に従って複数組のシフトレジスタとなるように変更させることを特徴とする半導体記憶装置。

2. 信号伝達線の変更は、アルミニウムのマスタースライスによって行われるものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 上記タイミング信号は、外部端子から供給されるカラムアドレスストローブ信号に従って形成

された信号であることを特徴とする特許請求の範囲第1又は第2項記載の半導体記憶装置。

4. 複数個に分割され、共通のアドレス信号により選択されるメモリアレイと、分割された各メモリアレイからの複数個の読み出し信号を時系列的に形成された選択信号に従ってシリアルに出力する出力回路と、所定のタイミング信号によってシフト動作を行い、そのシフト方向が所定のアドレス信号に従って決定され、上記時系列的な選択信号を形成する双方向のシフトレジスタとを含むことを特徴とする半導体記憶装置。

5. 上記シフトレジスタは複数個のフリップフロップ回路と、フリップフロップ回路をリング状に双方向に選択的に結合させる伝送ゲートMOSFETとからなることを特徴とする特許請求の範囲

第4項記載の半導体記憶装置。

発明の詳細な説明
(技術分野)

この発明は、半導体記憶装置に関するもので、例えば、パラレルに読み出された複数ビットからなるデータ信号をシリアルに出力する機能を持つ

半導体記憶装置に利用して有効な技術に関するものである。

(背景技術)

例えば、ダイナミック型RAM（ランダム・アクセス・メモリ）においては、1ビットの単位でアクセスする方式の他、ニブルモードと呼ばれるアクセス方式が提案されている（例えば、日立製作所が、昭和58年9月に発行した「日立ICメモリデータブック」のP. 307～P. 320参照）。このニブルモードは、例えば、カラムアドレスストロブ信号CASに同期して動作するシフトレジスタ又はバイナリカウンタの計数出力により形成された選択信号によって、4ビットのデータ信号をシリアルに出力させる。

このようなシリアル出力方式にあっては、次のような欠点の有するものであることが本願発明者の研究によって見出された。すなわち、その読み出し順序が上記シフトレジスタ又はカウンタ回路の動作により一義的に決定されるため、例えば、最初に第2ビット目のデータを読み出して、次に

第1ビット目のデータを取り出したい場合、上記シフトレジスタにあっては2ビット分のシフト動作、カウンタ回路にあっては、2ビットの計数動作（ダミーサイクル）を行った後に、上記目的の第1ビット目のデータが出力されることになる。このようにシフトレジスタ又はカウンタ回路の動作と逆方向の読み出しに長時間を費やすことになってしまう。

(発明の目的)

この発明の目的は、シリアルな連続読み出し動作の多機能化を図った半導体記憶装置を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

(発明の概要)

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば、下記の通りである。すなわち、パラレルに読み出された複数ビットのデータ信号をマスタースライス方式によってその

ビット数を変更されるシフトレジスタ又は選択的にシフト方向が変更される双方向シフトレジスタのシフト動作に従ってシリアルに出力させるものである。

(実施例1)

第1図には、この発明の一実施例の要部ブロック図が示されている。

この実施例のダイナミック型RAMは、特に制限されないが、4つのメモリブロックMB1～MB4から構成される。上記4つのメモリブロックMB1～MB4は、そのうちの1つのメモリブロックMB1が代表として例示的に示されているように、ダイナミック型メモリセルMCがマトリクス配置されたメモリアレイMARYが設けられる。メモリアレイMARYは、横方向に配置された相補データ線D1、 $\overline{D1}$ 等と、縦方向に配置されたワード線W1、W2等の交点に、図示しないがアドレス選択用のMOSFETと、情報保持用のキャパシタからなるダイナミック型メモリセルMCが配置される。メモリアレイMARYの相補

データ線D1、 $\overline{D1}$ は、ラッチ形態にされた差動増幅MOSFETにより構成されたセンスアンプSAの入出力ノードが結合されている。このセンスアンプSAは、それが動作状態にされることによって、ワード線の選択動作によって相補データ線D1、 $\overline{D1}$ 等に現れたメモリセルMCの微小読み出し信号の増幅を行う。上記相補データ線D1、 $\overline{D1}$ 等は、カラムスイッチMOSFETQ7、Q8を介して共通データ線に結合される。この共通データ線に得られた読み出し信号は、メインアンプMA1によって増幅される。

上記メモリアレイMARYのワード線は、図示しない外部端子から供給されたXアドレス信号を受けるアドレスバッファの出力信号を解読して、1つのワード線の選択信号を形成するXアドレスデコーダXDCRによって選択される。すなわち、このXアドレスデコーダXDCRは、アドレスバッファから送出された内部相補アドレス信号を受けるゲート回路からなる単位回路によって構成される。この単位回路の出力信号は、対応するスイ

ッチMOSFETQ1, Q2等のゲートに伝えられる。これらのスイッチMOSFETQ1, Q2等のうち、上記単位回路の出力信号に応じてオン状態にされた1つのスイッチMOSFETを介してワード線選択タイミング信号 ϕx がワード線に伝えられる。このような動作によって、ワード線の選択動作が行われる。YアドレスデコードYDCRも、上記類似の単位回路により構成され、上記カラムスイッチMOSFETQ7, Q8等のゲートには、上記単位回路の出力信号が伝えられる。特に制限されないが、上記YアドレスデコードYDCRの出力信号は、他のメモリブロックMB2~MB4の対応するカラムスイッチMOSFETのゲートにも共通に供給される。

上記メモリブロックMB1~MB4における各メインアンプの出力信号は、出力回路DOBを介してシリアルに外部端子Doutへ送出される。この出力回路DOBのシリアル出力動作を実現するため、シフトレジスタSRが設けられる。このシフトレジスタSRは、特に制限されないが、カラ

ムアドレスストローブ信号CASに従ってシフト動作を行うとともに、所定のアドレス信号AX1とAY1に従ってその初期値が設定される。

第2図には、4ビットのデータ信号をシリアルに出力させるニブルモードを実現する上記出力回路DOBとシフトレジスタSRの一実施例の回路図が示されている。

第1図における4つのメモリブロックMB1~MB4に設けられた各メインアンプMA1~MA4からの増幅出力信号は、それぞれ次の出力回路OB1~OB4の入力端子に供給される。同図では、代表として出力回路OB1とOB4とが代表として示されている。

出力回路OB1は、タイミング信号 $\phi op1$ が供給される端子と回路の接地電位点との間に、プッシュプル形態のMOSFETQ10, Q11及びQ12, Q13が設けられる。これらのMOSFETQ10~Q13のゲートには、上記メインアンプMA1の出力端子から送出される相補データ信号が交差的に供給される。上記MOSFETQ1

0とQ11及びMOSFETQ12とQ13の接続点から得られた信号は、次のプッシュプル形態の出力MOSFETQ14, Q15のゲートに供給される。すなわち、MOSFETQ10とQ11の接続点の信号は、接地電位側の出力MOSFETQ15のゲートに供給される。上記MOSFETQ12とQ13の接続点の信号は、電源電圧Vcc側の出力MOSFETQ14のゲートに供給される。残りの出力回路OB2~OB4も上記類似の回路により構成される。上記出力MOSFETの出力端子は共通化されて、言い換えるならば、ワイヤードオア構成とされて1つの出力端子Doutに接続される。上記各出力回路OB1~OB4に供給されるタイミング信号 $\phi op1 \sim \phi op4$ は、次のシフトレジスタにより形成されたタイミング信号に基づいて形成される。

シフトレジスタSRは、4個のフリップフロップ回路F1~F4がリング状に縦列接続されて構成される。これらのフリップフロップ回路F1~F4のクロック端子には、内部カラムアドレス

ストローブ信号CASがクロック信号として供給される。また、アドレス信号AY1とAX1とを受けるデコード回路DECの出力信号がそれぞれ初期値として入力される。上記デコード回路DECは、特に制限されないが、上記アドレス信号AY1を下位ビットとし、アドレス信号AX1を上位ビットとする2ビットの信号を解釈して、択一的に論理"1"の信号を形成して、対応する1個のフリップフロップ回路に論理"1"セットし、残り3個のフリップフロップ回路に論理"0"をセットする。例えば、アドレス信号AY1とAX1が共にロウレベル(論理"0")なら、フリップフロップ回路F1に論理"1"がセットされ、アドレス信号AY1がハイレベルでAX1がロウレベルなら、フリップフロップ回路F2に論理"1"がセットされる。これにより、シフトレジスタSRは、上記論理"1"の信号を上記CAS信号に同期して、F1→F2→F3→F4又はF2→F3→F4→F1のようにシフトアップさせるものである。

駆動回路DRVは、上記シフトレジスタSRの各段のビット信号を受けて、これを増幅して上記タイミング信号 $\phi_{op1} \sim \phi_{op4}$ を形成する。これによって、上記メインアンプMA1～MA4の増幅出力信号をそれぞれの出力MOSFETに選択的に伝える駆動回路が択一的に動作させられるので、上記タイミング信号 $\phi_{op1} \sim \phi_{op4}$ 、言い換えるならば、シフトレジスタSRのシフト動作に同期してシリアルなデータ信号の出力動作が行われる。なお、タイミング信号 $\phi_{op1} \sim \phi_{op4}$ のうちロウレベルにされたタイミング信号が供給される駆動回路は、非動作状態にされ、その出力を共にロウレベルにする。これによって、両出力MOSFETは共にオフ状態にされるからその出力がハイインピーダンス状態にされる。

上記シフトレジスタSRを構成する4個のフリップフロップ回路F1～F4間をリング状に縦列接続させる信号線は、アルミニウム配線によって形成され、従来のような4ビットからなるニブルモードを実現する場合、マスタースライス方式

によって上記第2図のような結線が行われる。

なお、書き込み動作にあっても、上記タイミング信号 $\phi_{op1} \sim \phi_{op4}$ によって選択的に動作状態にされる図示しないデータ入力回路が設けられることによって実現される。

第3図には、2ビットの双方向ニブルモードを実現するための回路図が示されている。

この実施例では、上記第2図に示した同じ各回路のうちのシフトレジスタを構成するフリップフロップ回路F1とF2及びF3とF4は、それぞれリング状に縦列形態に接続される。この結線は、マスタースライス方式によるアルミニウム配線の変更によって実現される。他の回路構成は、上記第2図のそれと全く同じであるので、その説明を省略する。この実施例においても、上記アドレス信号AY1とAX1によって、その初期値が設定される。例えば、アドレス信号AY1とAX1が共にロウレベルなら、フリップフロップ回路F1に初期値として論理・1・が、フリップフロップ回路F2～F4には、初期値として論理・0・がそ

れぞれ設定される。このようなアドレス設定においては、CAS信号に同期して、論理・1・の信号がF1→F2にシフトされるので、メモリブロックMB1とMB2の記憶情報がシリアルに読み出される。また、アドレス信号AY1がハイレベルでアドレス信号AX1がロウレベルなら、フリップフロップ回路F2に初期値として論理・1・が、フリップフロップ回路F1とF3、F4には、初期値として論理・0・がそれぞれ設定される。このようなアドレス設定においては、上記の場合とは逆にCAS信号に同期して、論理・1・の信号がF2→F1にシフトされるので、メモリブロックMB2とMB1の記憶情報がシリアルに読み出される。

また、アドレス信号AY1がロウレベルでアドレス信号AX1がハイレベルなら、フリップフロップ回路F3に初期値として論理・1・が、フリップフロップ回路F1、F2及びF4には、初期値として論理・0・がそれぞれ設定される。このようなアドレス設定においては、CAS信号に同期

して、論理・1・の信号がF3→F4にシフトされるので、メモリブロックMB3とMB4の記憶情報がシリアルに読み出される。また、アドレス信号AY1とAX1が共にハイレベルなら、フリップフロップ回路F4に初期値として論理・1・が、フリップフロップ回路F1～F3には、初期値として論理・0・がそれぞれ設定される。このようなアドレス設定においては、上記の場合とは逆にCAS信号に同期して、論理・1・の信号がF4→F3にシフトされるので、メモリブロックMB4とMB3の記憶情報がシリアルに読み出される。以上の動作から明らかなように、アドレス設定に応じて、2ビットのデータ信号を順方向又は逆方向に読み出すことができる。

なお、書き込み動作にあっても、上記タイミング信号 $\phi_{op1} \sim \phi_{op4}$ によって選択的に動作状態にされる図示しないデータ入力回路が設けられることによって実現される。

(実施例2)

第4図には、この発明の他の一実施例の回路図

が示されている。

この実施例では、回路的に双方向のシリアル読み出し動作を実現するものである。

この実施例では、前記実施例のようなアルミニウム配線の変更に代え、シフトレジスタを構成するフリップフロップ回路F1～F4は、それぞれ伝送ゲートMOSFETQ22～Q29を介してリング状に環列形態に接続される。上記MOSFETQ22～Q29のうち、MOSFETQ23、Q25、Q27及びQ29は、フリップフロップ回路F1→F2→F3→F4→F1の方向に信号を伝達する信号経路を構成する。これに対して、MOSFETQ22、Q28、Q26及びQ24は、上記の場合とは逆にフリップフロップ回路F1→F4→F3→F2→F1の方向に信号を伝達する信号経路を構成する。

これらのMOSFETQ23、Q25、Q27及びQ29のゲートには、特に制限されないが、デコード回路DECに供給されるY系の反転アドレス信号 $\bar{a}y1$ が供給される。また、他のMOS

FET22、Q24、Q26及びQ28のゲートには、デコード回路DECに供給されるY系の非反転アドレス信号 $a y1$ が供給される。

他の回路構成は、前記第2図、第3図の実施例回路のそれと同じであるので、その説明を省略する。ただし、デコード回路DECは、その構成が後述のようなデコード信号を形成する。

この実施例において、例えば、アドレス信号AY1とAX1が共にロウレベルなら、フリップフロップ回路F1に初期値として論理“1”が、フリップフロップ回路F2～F4には、初期値として論理“0”がそれぞれ設定される。上記アドレス信号AY1のロウレベルによって、反転のアドレス信号 $\bar{a}y1$ がハイレベルにされるので、MOSFETQ23、Q25、Q27及びQ29がオン状態にされる。したがって、このようなアドレス設定においては、CAS信号に同期して、論理“1”の信号がF1→F2→F3→F4にシフトされるので、メモリブロックMB1→MB2→MB3→MB4の順に記憶情報がシリアルに読み出さ

れる。また、アドレス信号AY1がハイレベルでアドレス信号AX1が共にロウレベルなら、フリップフロップ回路F2に初期値として論理“1”が、フリップフロップ回路F1とF3、F4には、初期値として論理“0”がそれぞれ設定される。上記アドレス信号AY1のハイレベルによって、非反転のアドレス信号 $a y1$ がハイレベルにされるので、MOSFETQ22、Q24、Q26及びQ28がオン状態にされる。したがって、このようなアドレス設定においては、上記の場合とは逆にCAS信号に同期して、論理“1”の信号がF2→F1→F4→F3にシフトされる。これに応じて、メモリブロックMB2から逆方向のシリアル読み出しが行われる。

また、アドレス信号AY1がロウレベルでアドレス信号AX1がハイレベルなら、フリップフロップ回路F3に初期値として論理“1”が、フリップフロップ回路F1、F2及びF4には、初期値として論理“0”がそれぞれ設定される。この場合には、上記アドレス信号AY1のロウレベル

によって、MOSFETQ23、Q25、Q27及びQ29がオン状態にされる。このようなアドレス設定においては、CAS信号に同期して、論理“1”の信号がF3→F4→F1→F2の順にシフトされるので、メモリブロックMB3から順方向にシリアル読み出しが行われる。また、アドレス信号AY1とAX1が共にハイレベルなら、フリップフロップ回路F4に初期値として論理“1”が、フリップフロップ回路F1～F3には、初期値として論理“0”がそれぞれ設定される。このようなアドレス設定においては、アドレス信号AY1のハイレベルによって上記の場合とは逆にMOSFETQ22、Q24、Q26及びQ28がオン状態にされるので、CAS信号に同期して、論理“1”の信号がF4→F3→F2→F1の順にシフトされるので、メモリブロックMB4から逆方向にシリアル読み出しが行われる。

以上の動作から明らかなように、アドレス設定に応じて、Y系のアドレス信号AY1がロウレベルなら順方向に、ハイレベルなら逆方向のシリア

ル読み出しが行われる。そして、2ビットのニブルモードにあっては、上記初期設定に応じて、F1—F2又はF2—F1、F3—F4又はF4—F3のシフト動作を選択することができる。これによって、前記第3図に示した実施例回路と等価の動作を実現できる。また、上記順序で4ビットのシリアル読み出し動作も実現できることは言うまでも無いであろう。

なお、書き込み動作にあっても、上記シフトレジスタSRの動作に従って形成されるタイミング信号 $\phi_{op1} \sim \phi_{op4}$ によって選択的に動作状態にされる図示しないデータ入力回路が設けられることによって実現される。

以上の第3図又は第4図の実施例回路による2ビットの双方向ニブルモードを備えたダイナミック型RAMにあっては、例えば、高速コンピュータシステムにおけるメモリ装置として、上記ニブルモードを利用して、2組のメモリ装置によって単位メモリ装置を構成し、一方がアドレス設定を行っている間に他方から2ビットの信号を外部デ

ータバス上に読み出すという動作を交互に行うことによって、見かけ上2倍の速度でしかも読み出し順序に制約を受けることなくメモリアクセスを行うことができる。このことは、4ビットのニブルモードでも実現できるが、4組のメモリ装置によって単位メモリ装置が構成される結果、記憶容量の増設に際して、4倍ずつメモリ容量が増大してしまうので無駄が大きくなるという欠点が生じることの他、その読み出し順序が一義的に制約されてしまう。

(効果)

(1) マスタースライス方式による極めて簡単なシフトレジスタの結線の変更によって、4/2ビットのニブルモードのうちの1つを選択でき、上記2ビットのニブルモードでは、その読み出し順序に何等制約を受けることが無いという効果が得られる。

(2) シフトレジスタを構成するフリップフロップ回路間に双方向に選択的に信号を伝達する伝送ゲートを設けて、これを外部アドレス信号に従って制

御させることにより、一定の規則のもとで双方向のシリアルアクセスを行うことができるという効果が得られる。

(3) 上記(1)、(2)により、使い易いシリアル出力機能を持つ半導体記憶装置を得ることができるという効果が得られる。

(4) 上記(1)又は(2)によって、双方向の2ビットからなるニブルモードを実現できるから、2組のメモリ装置によって単位メモリ装置を構成し、そのアドレスシグナル動作とデータ入出力動作を交互に行わせることによって、実質的に2倍の高速度でのメモリアクセスを実現でき、しかも4倍ずつメモリ容量の設定が効率良く行えるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、出力回路の具体的回路構成は、論理ゲート回路の組み合わせによって、前記シフト

レジスタからの出力信号によって選択されたもののみが動作状態にされるトライステート出力回路を用いるものであってもよい。すなわち、タイミング信号に従ってその不動作期間には出力がハイインピーダンス状態にされ、動作期間にはメインアンプからの信号を出力端子へ送出させるものであれば何であってよい。また、上記シフトレジスタのシフト動作を行わせるクロック信号としては、カラムアドレスストロブ信号CASを用いる場合、その変化タイミングに形成された1ショットパルスを用いるもの、或いは外部端子から上記クロック信号を供給するもの等種々の実施形態を採ることができるものである。また、8個のメモリアレイMARYを設けて、最大8ビットのデータをシリアルに出力するバイトモードを基本として、これを2ビットつづに振り分けるものであってもよい。

(利用分野)

以上の説明では主として本願発明者によってなされた発明をその背景となった技術分野であるダ

イナミック型RAMに適用した場合について説明したが、これに限定されるものではなく、スタティック型RAM、ROM（リード・オンリー・メモリ）等であっても、この発明を適用することによって、複数ビットのデータを選択的に双方向にシリアルに読み出させる機能を持つ半導体記憶装置を構成できるものである。

図面の簡単な説明

第1図は、この発明の一実施例を示す要部ブロック図、

第2図は、その4ビットシリアル動作を実現する出力回路とシフトレジスタの一実施例を示す回路図、

第3図は、その2ビットシリアル動作を実現する出力回路とシフトレジスタの一実施例を示す回路図、

第4図は、この発明の他の一実施例を示す出力回路とシフトレジスタの回路図である。

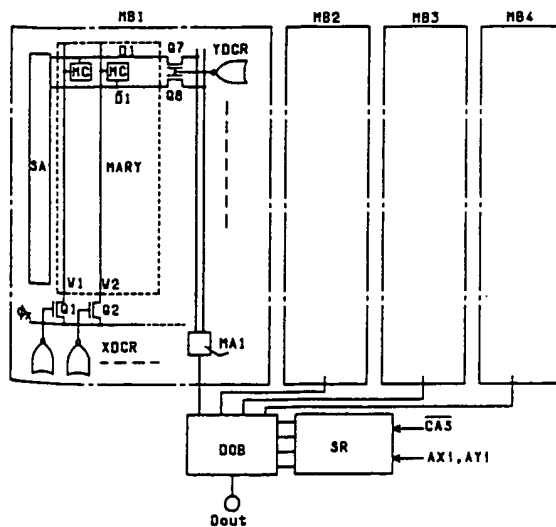
MB1～MB4・・・メモリブロック、MC・・・メモセル、SA・・・センスアンプ、YDCR・・・

・Yアドレスデコード、XDCR・・・Xアドレスデコード、MA1・・・メインアンプ、MARY・・・メモリアレイ、DOB・・・出力回路、SR・・・シフトレジスタ、F1～F4・・・フリップフロップ回路、DRV・・・駆動回路、DECT・・・デコード

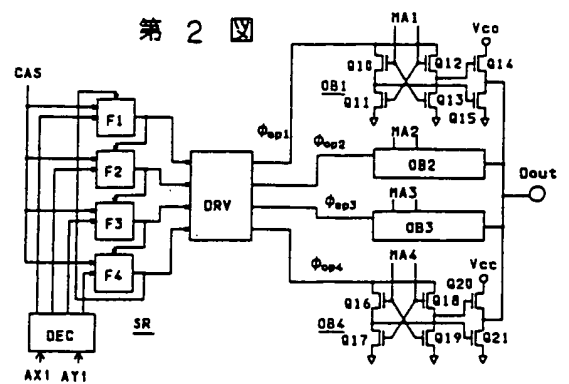
代理人弁理士 小川 勝男



第1図



第2図



第3図

